

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-112259

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H04N 7/24  
H04N 7/00

(21)Application number : 2000-297060

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.09.2000

(72)Inventor : KOMI HIRONORI

TERUI KOICHI

OKADA TOSHIO

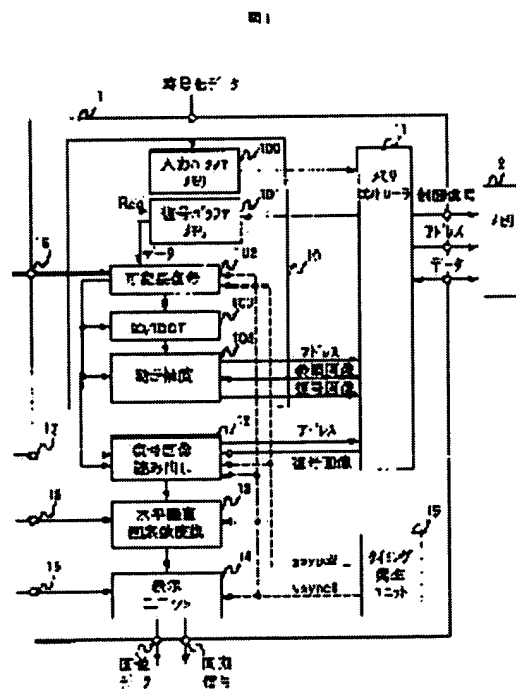
TSUBOI YUKITOSHI

## (54) CODED IMAGE INFORMATION PROCESSING APPARATUS

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a coded image information processing apparatus that is compatible with both interlace and progressive scanning systems by using an inexpensive circuit and does not disturb an output image in the switching of the scanning systems.

**SOLUTION:** A decoding block decodes each frame synchronously with synchronizing signals 1, 2 having the same frequency but different phases at the decoding of interlace and progressing scanning signals. A decoded image read circuit reads each frame or field synchronously with the synchronizing signal 1 at all times and outputs the signal through resolution conversion. Furthermore, the decoding block instructs sequence information during decoding to the image read section, the image read section delays the switching time of a displayed image from the information and the resolution conversion section revises the setting of the resolution conversion in the same timing.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-112259

(P2002-112259A)

(43)公開日 平成14年4月12日(2002.4.12)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

データコード(参考)

H 0 4 N 7/24  
7/00

H 0 4 N 7/13  
7/00

Z 5 C 0 5 9  
Z 5 C 0 6 3

審査請求 未請求 請求項の数11 O L (全 18 頁)

(21)出願番号 特願2000-297060(P2000-297060)

(22)出願日 平成12年9月26日(2000.9.26)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小味 弘典

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所デジタルメディア開発本部内

(72)発明者 照井 孝一

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所デジタルメディア開発本部内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

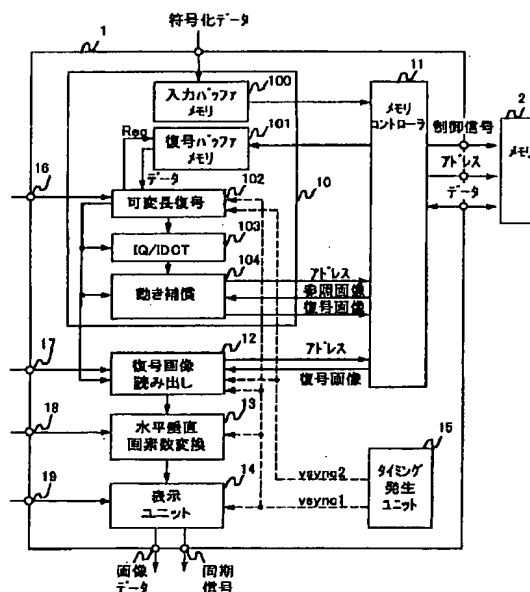
(54)【発明の名称】 符号化画像情報処理装置

(57)【要約】

【課題】インタレース・プログレッシブの両方式対応デジタル符号化画像情報処理装置を安価な回路で実現する。また、方式切替時に出力画像を乱さない。

【解決手段】インタレースとプログレッシブの復号時にそれぞれ同周波数で位相の異なる同期信号1、同期信号2に同期して各フレームをデコードし、復号画像読みだし回路は、常に同期信号1に同期して各フレームもしくはフィールドを読み出し、解像度変換して出力する。また、復号時のシーケンス情報を復号ブロックは画像読みだし部に指示し、画像読みだし部は該情報より表示画像の切替時刻を遅延させ、解像度変換部は、同タイミングで解像度変換設定を変更する。

図1



## 【特許請求の範囲】

【請求項 1】ラインを順次表示するプログレッシブ走査方式を有する符号化されたビットストリームおよびラインを交互に表示するインタレース走査方式を有する符号化されたビットストリームを入力可能な入力手段と、前記ビットストリームを復号する復号手段と、前記復号手段により復号された画像情報を記憶する記憶手段と、前記画像情報を前記記憶手段から読み出す読み出し手段と、

同じ周期でかつ異なる位相の第 1 および第 2 の同期信号を発生するタイミング発生手段とを備えてなり、前記インタレース走査方式を有するビットストリームが入力されたとき、前記復号手段は、前記第 1 の同期信号に同期してビットストリームを復号し、前記復号された画像情報は前記記憶手段に記憶され、前記プログレッシブ走査方式を有するビットストリームが入力されたとき、前記復号手段は、前記第 2 の同期信号に同期してビットストリームを復号し、前記復号された画像情報は前記記憶手段に記憶され、前記読み出し手段は、前記第 1 の同期信号に同期して画像情報を前記記憶手段より読み出すことを特徴とする符号化画像情報処理装置。

【請求項 2】前記読み出し手段により読み出された画像情報は、画像の解像度を変換する解像度変換部を介して出力されることを特徴とする請求項 1 に記載の符号化画像情報処理装置。

【請求項 3】前記読み出し手段により読み出された画像情報は、プログレッシブ走査方式およびインタレース走査方式を有する画像情報として選択的に出力する出力部を備えてなることを特徴とする請求項 1 または請求項 2 に記載の符号化画像情報処理装置。

【請求項 4】符号化されたビットストリームであって、その方式が、ラインを順次表示するプログレッシブ走査方式または、ラインを交互に表示するインタレース走査方式が途中で互いに変更されるビットストリームを入力可能な入力手段と、

前記ビットストリームを復号する復号手段と、前記復号手段により復号された画像情報を記憶する記憶手段と、

前記画像情報を前記記憶手段から読み出す読み出し手段と、

同じ周期でかつ異なる位相の第 1 および第 2 の同期信号を出力するタイミング発生手段とを備えてなり、

入力されるビットストリームの走査方式に応じて前記第 1 または第 2 の同期信号に同期して前記ビットストリームが復号され、

復号された画像情報は、前記記憶手段に記憶され、

入力されるビットストリームの走査方式が変更されたとき、変更された後の走査方式に応じた前記同期信号が発

生するまでビットストリームの復号または画像情報の記憶を中断することを特徴とする符号化画像情報処理装置。

【請求項 5】入力されるビットストリームの走査方式が変更されるタイミングを検出する切替タイミング検出手段と画像の解像度を変換する解像度変換部とを備え、前記切替タイミング検出手段による信号に応じて前記解像度変換部の設定が変更されることを特徴とする請求項 4 に記載の符号化画像情報処理装置。

10 【請求項 6】前記読み出し手段は、前記ビットストリームの復号または、情報の記憶を中断した期間において、前に読み出した画像情報と同一の画像情報を読み出すことを特徴とする請求項 4 または請求項 5 に記載の符号化画像情報処理装置。

【請求項 7】符号化圧縮された入力ビットストリームを復号し、デジタルビデオ信号を出力する符号化画像情報処理装置であって、該画像情報処理装置は、画像情報処理部と、復号した画像を格納する画像メモリと、該画像メモリから出力順序に復号画像を並べ替えて読み出す復号画像読み出し部と、該復号画像読み出し部から出力された復号画像の水平解像度および垂直走査線数を所望の解像度に変換して出力する解像度変換部とを備えてなり、

走査方式が 1 フレームを 1 ライン垂直位置がずれた上下 2 フィールドを交互に表示するインタレース方式であり、フレームレートが  $N$  フレーム/秒（フィールドレートは  $2N$  フィールド/秒）であるビデオのビットストリーム 1 を入力とし、周波数が  $2N$  Hz である同期信号 1 に同期して、上記画像情報処理部は各フレームの復号処理を行い上記画像メモリに復号画像を書き込み、上記復号画像読み出し部は上記同期信号 1 に同期して上記画像メモリから復号画像を各フィールド単位で読み出し上記解像度変換部にフィールド単位で出力し、

さらに走査方式が、1 フレームをラインごとに順次走査するプログレッシブ方式であり、フレームレートが  $2N$  フレーム/秒であるビデオのビットストリーム 2 を入力とし、周波数が  $2N$  Hz で同期信号 1 と異なる位相を持つ同期信号 2 に同期して、上記画像情報処理部は各フレームの復号処理を行い、上記画像メモリに復号画像を書き込み、上記復号画像読み出し部は上記同期信号 1 に同期して上記画像メモリから復号画像を各フレームをプログレッシブ方式で読み出し、上記解像度変換部にプログレッシブ方式で各フレーム単位で出力することを特徴とする符号化画像情報処理装置。

【請求項 8】請求項 7 に記載の符号化画像情報処理装置であって、フレームレート  $N$  フレーム/秒のインタレース走査方式（フィールドレートが  $2N$  フィールド/秒）の信号を入力するディスプレイに接続される場合、上記ビットストリーム 1 の復号時には上記解像度変換部は、復号画像読み出し部から出力された各フィールド画

像の水平解像度および垂直走査線数を出力するディスプレイのフィールド解像度に適合するようにフィールド内の画素情報を用いて変換し、フィールド画像として出力し、

さらに上記ビットストリーム2の復号時には上記解像度変換部は、復号画像読み出し部からプログレッシブ方式で出力された各フレーム画像の水平解像度および、垂直走査線数を出力するディスプレイのフィールド解像度に適合するようにフレーム内の画素情報を用いて変換し、フィールド画像として出力することを特徴とする符号化画像情報処理装置。

【請求項9】請求項7に記載の符号化画像情報処理装置であって、フレームレートNフレーム/秒のプログレッシブ走査方式の信号を入力するディスプレイに接続される場合、

上記ビットストリーム1の復号時には上記解像度変換部は、復号画像読み出し部から出力された各フィールド画像の水平解像度および垂直走査線数を出力するディスプレイのフレーム解像度に適合するようにフィールド内の画素情報を用いて変換し、フレーム画像として出力し、さらに上記ビットストリーム2の復号時には上記解像度変換部は、復号画像読み出し部からプログレッシブ方式で出力された各フレーム画像の水平解像度および、垂直走査線数を出力するディスプレイのフレーム解像度に適合するようにフレーム内の画素情報を用いて変換し、フレーム画像として出力することを特徴とする符号化画像情報処理装置。

【請求項10】請求項7に記載の符号化画像情報処理装置であって、入力される入力ビットストリーム中に上記ビットストリーム1および上記ビットストリーム2が混在しているときに、それぞれのビットストリームの復号画像を連続的に表示する際、上記画像情報処理部は、それぞれのビットストリームの切り替わり後の入力ビットストリームが上記ビットストリーム1と上記ビットストリーム2のどちらに属するかを判別し、ビットストリーム1の場合には、そのシーケンス内の復号を行う開始タイミングを直近の同期信号1に遅延させ、ビットストリーム2の場合には直近の同期信号2に遅延させることを特徴とする符号化画像情報処理装置。

【請求項11】請求項10に記載の符号化画像情報処理装置であって、上記ビットストリーム1および上記ビットストリーム2間で復号開始タイミングが上記同期信号1と上記同期信号2の間で切り替わる際、上記画像読み出し部は、タイミング切り替わり後のビットストリームが画像メモリから同期信号1に同期して読み出し開始できるタイミング時刻Tを算出し、上記時刻Tにおいて復号画像の読み出し方式をビットストリーム1およびビットストリーム2に対応してそれぞれインタレース方式、プログレッシブ方式に切り替え、上記解像度変換部は、上記時刻Tを検知し、接続された

ディスプレイ解像度に適合するように、上記時刻Tにおいて解像度変換の設定を変更することを特徴とする符号化画像情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル高能率符号化されたビットストリームを復号し、表示する符号化ビデオ復号技術に関する。特に、高精細TVで用いられるプログレッシブ方式（順次走査方式）の画像とインタレース方式の両方のビデオを復号する技術に関する。

【0002】

【従来の技術】高能率ビデオ符号化技術、国際標準ISO/IEC13818-2、通称MPEG2Video（Moving Picture Experts Group Phase2 Video）を用いたデジタルTV放送が開始され、特に高精細テレビ放送（HDTV放送）技術に関する重要性が高まっている。HDTV放送では、従来までのNTSC規格のアナログ放送よりも、水平画素数、走査線数が多い高画質の放送が提供される。また、HDTV放送では、画像解像度、アスペクト比が異なるフォーマットが複数種類放送される。また、走査方式もインタレース方式、プログレッシブ方式両方が用いられており、フレームレートに関しても複数種類の規格が存在する。たとえば、米国のHDTV放送では、ATSC（Advanced TV Standard Committee）によって図15に示すような18種類の画像フォーマットが定義されている。なお、以降の記述では、走査方式とフレームレート（インタレースの場合はフィールドレート）を表現するため、図15に用いているような60p、60iなどの略記号を用いる。例えば、60pはフレームレートが60Hzのプログレッシブ走査方式の画像であり、60iはフィールドレートが60Hzであるインタレース走査方式の画像を意味する。図15に示すように入力フォーマットが複数存在する場合、受信機側では、受信した画像を復号するとともに、復号した画像の解像度、フレームレートをディスプレイ装置に適合するように変換して出力する必要がある。従来、これらの復号技術については、例えば特開平8-18953号や特開平8-23514号などの特許公報において開示されており、またHDTV対応の解像度変換技術については、特開平11-027663号などに記載されている。以下、従来の符号化ビデオ復号表示装置について説明する。図16は、MPEG2で符号化圧縮されたビデオのビットストリームを入力とし、接続されたディスプレイの解像度に適合するように復号画像を解像度変換して出力するデコーダ回路である。

【0003】デコーダ1に入力されたビットストリームは、一旦入力バッファメモリ100に格納され、メモリコントローラ11を介して外部のメモリ2に格納され

る。その後、ビットストリームはバッファメモリ101に読み込まれ、102によって可変長復号処理が行われ、シーケンスレイヤ、ピクチャレイヤ、マクロブロック(MB)レイヤなどMPEG2規格に従って内容が解析される。MBレイヤ以下の画素に関するデータは、ブロック103に渡され逆量子化(IQ)され、逆DCT変換(Inverse Discrete Cosine Transform)される。MPEG方式に基づく符号化では、画像データの各フレームを、予測値として参照する参照フレームを持たずに符号化するIフレーム

(Intra Picture)や過去のフレーム(即ち、表示順で当該フレームよりも前方に配列されるフレームのみ)を参照フレームとし、この参照フレームをもとに符号化するPフレーム(Predictive Picture)、過去のフレームと未来のフレーム(即ち、表示順で当該フレームよりも後方に配列されるフレームのみ)とを参照フレームとし、これら参照フレームをもとに符号化するBフレーム(Bidirectional Picture)とに区分される。Iフレーム内のMBの復号時には、IDCTの結果がそのままそのMBの復号画像内の画素値となるが、PフレームまたはBフレームは他のフレームを参照フレームと用いているため、各MBごとに指定された動きベクトルに従い、参照フレームから画素を読み込み、IDCTの計算結果に加算する必要がある。この動き補償処理をブロック104において行う。動き補償によって得られた復号画像は、メモリコントローラ11を介して、メモリ2内のフレームメモリに格納される。

【0004】上記フレームメモリが必要とされる理由は、I、Pフレームの復号画像については、その後のBフレームの復号の参照データとして用いる必要があり、このため、必ず2フレーム分の画像データを上記のメモリ内に蓄えている必要があるためである。また、インタレースの場合、Bフレームの復号画像についても、フレーム単位で符号化されている画像を、2つのフィールド画像として分割して表示する必要があり、フレームメモリにおいて表示されるまでの間、復号画像を保持する必要があるためである。連続してBフレームのフレーム復号処理とフィールド表示を行うためには、やはりBフレーム用に1フレーム分程度のメモリが必要となる。

【0005】したがって、メモリ2内の復号画像用フレームメモリは、複数の画像フォーマットを復号する場合、1フレームの画素数が最も多いフォーマットにおける3フレーム分を格納するだけの容量を必要とする。

【0006】上記復号処理によって、メモリ2に格納された復号画像は、メモリコントローラ11を介して復号画像読み出し部12によって読み出される。復号画像読み出し部12は、I、P、Bフレームの復号順序をもとに表示順序を決定し、メモリ2内の該当するフレームメモリよりデータを読み出す。このとき、復号時に解析さ

れた水平画素数、垂直走査線数に基づき、メモリ空間から必要な画素数分だけデータを読み出す。インタレース画像の場合は、フィールド単位で読み出され、プログレッシブ画像の場合は、フレーム単位で読み出される。読み出された復号画像は水平垂直画素数変換部13に転送され、接続されたディスプレイの解像度に適合するように解像度変換される。この後、表示ユニット14に送られ図示されていない外部のディスプレイに同期信号とともに画素データが出力される。上記の復号および出力処理を行うため、タイミング発生ユニット15は、フレーム同期信号、フィールド同期信号を生成し、各ブロックに配信する。

【0007】図17(a)に60i画像を復号し、60pディスプレイもしくは60iディスプレイに出力する場合の復号および出力周期を示す。図中例えば11は、1フレームで1番目に復号されたフレームを意味する。B3、P4などはそれぞれBフレーム、Pフレームを表し、それぞれ3番目、4番目に復号されたフレームを意味する。復号ブロック10では図17の処理300に示すように、1/30sec期間内に1フレームの復号処理を行う。このとき、60pの信号を入力とするディスプレイが接続されている場合は、図17の処理301のように、各1/60sec期間内にフレーム出力するが、入力画像60iのフレームレートは30Hzであるため、出力時には2フレーム間同じ復号フレームの画像から出力しなければならない。例えば、処理301中のB2出力310はB2のフレーム出力のためには、表示順序で1フィールド目のB2データを水平垂直画素数変換ブロック13で補間し、フレームデータにして出力する。同様に、処理301中の出力311のB2のフレーム出力のためには、表示順序で2フィールド目のB2データを水平垂直画素数変換ブロック13で補間し、フレームデータとして出力する。60iの信号を入力とするディスプレイが接続されている場合は、図17の処理302のように、各1/60sec期間内に各フィールドを出力する。なお、図中EV、ODの記号はそれぞれ出力ディスプレイの偶数ラインフィールド、奇数ラインフィールドを意味する。

【0008】次に図17(b)に60p画像を復号し出力する処理を示す。処理303に示すように復号ブロック10では、1/60sec期間内に各フレームのデコードを完了する必要がある。このとき、60pの信号を入力とするディスプレイが接続されていれば、1/60secごとに各フレームデータをプログレッシブ表示する。入力データも60pであることから、図17の304に示すように各フレームは入力画像の各フレームに1対1に対応する。次に、60i信号を入力とするディスプレイが接続されていれば、1/60secごとにフィールド画像を出力する必要があり、この場合、各フィールド画像は、各プログレッシブフレームから解像度変換

されて出力される。

【0009】

【発明が解決しようとする課題】上記のように、フレームレートや、走査方式が異なる複数種類ビデオビットストリームを入力とし、複数種類のディスプレイに出力可能にするためには、それぞれのフォーマットを復号、表示するための処理スピードや動作タイミングが異なるため回路が複雑になるという課題があった。また、各入出力フォーマットに応じて回路の設定を変更する際、たとえば画面表示途中で新たなビットストリームのために設定を変更すると、外部への同期信号が切り替わり、出力画像が乱れるという課題があった。

【0010】本発明の目的は、上記問題を解決し、例えば60pと60iのようにフレームレートや走査方式が異なる符号化ビデオビットストリームおよび出力ディスプレイに対して復号および出力できる回路を簡素化し、安価に提供できるようにすることである。また、異なるフォーマットのビットストリームが連続して入力されたときに設定を変更しても、復号画像を乱さずに出力する装置を提供することである。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明は、ラインを順次表示するプログレッシブ走査方式を有する符号化されたビットストリームおよびラインを交互に表示するインタレース走査方式を有する符号化されたビットストリームを入力可能な入力手段と、前記ビットストリームを復号する復号手段と、前記復号手段により復号された画像情報を記憶する記憶手段と、前記画像情報を前記記憶手段から読み出す読み出し手段と、同じ周期でかつ異なる位相の第1および第2の同期信号を発生するタイミング発生手段とを備えてなり、前記インタレース走査方式を有するビットストリームが入力されたとき、前記復号手段は、前記第1の同期信号に同期してビットストリームを復号し、前記復号された画像情報は前記記憶手段に記憶され、前記プログレッシブ走査方式を有するビットストリームが入力されたとき、前記復号手段は、前記第2の同期信号に同期してビットストリームを復号し、前記復号された画像情報は前記記憶手段に記憶され、前記読み出し手段は、前記第1の同期信号に同期して画像情報を前記記憶手段より読み出す構成とする。

【0012】

【発明の実施の形態】まず、本発明の第1の実施形態について図面を用いて説明する。以下、同じ機能を持つブロックに関しては、同一の番号を記す。本発明の第1の実施形態は図15に示す18フォーマットのうち、下線を付したフォーマットを復号可能なMPEG2ビデオ復号出力装置とする。また、接続されるディスプレイは60iもしくは60pフォーマットを入力とするディスプレイであるとする。図1は、本実施形態のブロック図で

ある。図1中、1はデコーダ、2はメモリ、10は復号ブロック、11はメモリコントローラ、12は復号画像読み出し部、13は水平垂直画素数変換部、14は表示ユニット、15はタイミング発生ユニット、16～19は外部端子を示す。

【0013】以下、図1を用いて本実施形態を説明する。まず、60i画像の符号化ビットストリームが入力されたとなると、デコーダ1に入力されたビットストリームは、一旦入力バッファメモリ100に格納され、メモリコントローラ11を介して外部のメモリ2に格納される。MPEG2の規格では、ある規定容量のバッファをビットストリーム用にもつことにより、各フレームごとの符号化量が変化しても、一定レートで復号したときにバッファがアンダフロー、オーバーフローしないことが保証される。このバッファをVBV (Video Buffer Verification) バッファとよぶ。本構成では、図2の21に示すようにメモリ2内に最も画像サイズが大きい場合にビットストリームを格納しうだけのVBVバッファ領域をもち、ビットストリーム内に指定されたデコード開始タイミングまでビットストリームをリングバッファ状に保持する。

【0014】その後、ビットストリームはデコード開始タイミングにおいてバッファメモリ101に読み込まれ、102によって可変長復号処理が行われ、シーケンスレイヤ、ピクチャレイヤ、マクロブロック (MB) レイヤなど規格に従って内容が解析される。MBレイヤ以下の画素に関するデータは、ブロック103に渡され逆量子化 (IQ) 後、逆DCT変換される。Iフレームの場合、逆DCT変換の結果がそのまま復号画像の画素値となり、メモリコントローラ11を介してメモリ2内の後述のフレームメモリに格納される。Pフレームの場合、逆DCT変換の結果は、同MBの動きベクトルで指定される復号順序で最新参照フレームの該当画素データと加算されることで動き補償が行われる。この結果もまた、メモリコントローラ2を介してメモリ2内のフレームメモリに格納される。Bフレームの場合は、逆DCT変換の結果は復号順序において最新2枚の参照フレーム (IフレームもしくはPフレーム) を用いて動き補償が行われ各MBの画素値が復号される。復号された結果はメモリコントローラ2を介してメモリ2内のフレームメモリに格納される。

【0015】図2に示すように、メモリ2内には、第1の参照画像格納領域 (FM1) と第2の参照画像領域 (FM2) とBフレーム格納領域 (FM3) と3つのフレームメモリが存在する。復号されたIフレームもしくはPフレームはFM1もしくはFM2のうち復号順序で古い方のフレームメモリに格納されることになる。従って、FM1、FM2はIフレーム、Pフレームがデコードされるたびに交互に新しいフレームで書き換えられる。Bフレームがデコードされた場合には、必ずFM3

のフレームメモリに書き込まれる。各フレームメモリは、デコードすべき画像フォーマットのうち最大の画素数を持つフォーマットの1フレーム分の画素データを格納するだけの容量を持つ。

【0016】例えば本実施形態では、図3より、最大の解像度が1920x1088である。また、MPEG2では、輝度、色差の各成分(Y、Cb、Cr)が4:2:0フォーマットで符号化されており、Y水平2画素x垂直2画素=4画素に対して1画素ずつCb、Crの画素データが割り当てられる。従って1フレームメモリ10の容量は1画素につき1バイト必要であることから1920x1088x(1+1/4+1/4)=約3MByte分になる。

【0017】図3に各FM1~FM3のフレームメモリ内の仮想的なメモリマップの一例を示す。実際のメモリマップは使用されるメモリの容量、サイズ、データバス幅等で異なるが、図3に示すような仮想的なY、Cb、Crのフレームメモリに置き換えて考えることができ、一般性を失うことはない。各メモリ領域はそれぞれTopフィールドとBottomフィールドに分割され、マクロブロック(MB)が順番に配置されている。図3はフレームピクチャのデコード時の各MBの該当位置概略を示している。

【0018】MPEG2では、1MBはY成分では復号画面単位であるピクチャ構造内で、水平16画素x垂直16画素がMBの単位となる。例えば、1フレームの画像がTopフィールド、Bottomフィールド混在した形で符号化されているフレームピクチャでは、図3に示すように、Topフィールド、BottomフィールドそれぞれにおいてMB0~8159の長方形の領域に示すように、水平16画素x垂直8画素がMBの単位となる。本実施形態では最大解像度時で水平1920画素、垂直1088画素であることから、各フィールド内で1920/16=120個のMBが8行アドレス内に配置される。また垂直方向には1088/16=68個のMBが配置され、総計120x68=8160MBが各フィールド内に存在する。Cb、Crについては、1MBに対応する画素数がフレーム内で水平8画素x垂直8画素であり、Cb、Crの各フィールド120個のMBが4行アドレス内に配置される。一方、復号画面単位がフィールドピクチャである場合、Y成分は各フィールド内で水平16画素x垂直16画素がMBの単位となり、各120個のMBは16行アドレス内に格納され、1フィールド内のMB数は、フレーム構造時の半分になる。図3の場合、フレーム構造時にMB0とMB120の格納場所であったところに、MB0のデータが格納される。

【0019】フレームピクチャを復号する際、各MBの復号時には、Topフィールド、Bottomフィールド両方の該当MB位置に復号画像が一度に書き込まれる

が、1フィールドごとに個別に符号化されているインタレース画像のフィールドピクチャの復号時には、Topフィールド、Bottomフィールドいずれかの該当MB位置だけ復号画像が書き込まれる。

【0020】以上の格納規則に従い、図1の復号ブロック10が各MB毎に復号が完了することにより、各フィールド内の該当するMB内の位置のアドレスをメモリコントローラ11に出力し、メモリコントローラは該当する領域にデータを書き込む。また、Pフレーム、Bフレームを復号する際に、FM1、FM2の領域内のデータを参照フレームとして読み出す場合には、動き補償ブロック104は動きベクトルで指定されたフレーム内の該当部分に対して行アドレスおよび列アドレスを発行し、メモリコントローラ11を介して、画素データを読み出す。

【0021】復号する画像サイズが1920x1088画素より小さい場合は、左上端のアドレスから復号画像サイズ分の画像領域にデータを書き込む。例えば、1280x720の60p画像を復号する際には、左上端から水平方向1280/16=80MB、垂直方向には720/16=45MB分の矩形領域に復号画像を書き込む。なお、プログレッシブ画像の場合にも、仮想メモリ上では、Topフィールド、Bottomフィールドと格納場所をフィールドごとに分けて補完することで、インタレース、プログレッシブ画像の復号時にメモリマップを変更する必要はない。

【0022】メモリ2のフレームメモリ部分FM1~FM3に格納された復号画像メモリは図1の復号画像読み出し部12によって読み出される。Y、Cb、Crそれぞれについて読み出されるべき画素位置の行アドレスと列アドレスが復号画像読みだし部12よりメモリコントローラ11に送信され、メモリコントローラ11は該当部分のデータをメモリ2より読み出す。インタレース画像の場合には、インタレース走査で読み出すため、例えば、Topフィールドの画像はTopフィールド内で行アドレスをひとつずつ増加させながら各水平ラインが読み出される。一方、プログレッシブ画像の場合には、プログレッシブ走査するため、Topフィールド、Bottomフィールドの各水平ラインが交互に読み出されることになる。

【0023】図4は、60i画像のビットストリームを復号ブロック10で復号し、復号画像読みだし部12がメモリ2から復号画像を読み出す際の動作タイミングを示す図である。図4中30は、図1におけるタイミング生成ユニット15が生成し、各ブロックに供給している垂直同期信号vsync1、31は復号ブロック10が復号中のフレーム、32は復号画像読みだし部12が読みだしているフレームを示す。斜線部33は復号画像読みだし部が読みだしを行わないブランク期間を表す。本60iの復号例では、入力されたビットストリームの各フレームはP、I、B、B、P、Bの順番で符号化され



ているものとし（最初のPフレームは図中の31内に示されていない）、各フレームには0から符号化順に番号を付記する。また、全フレームのうち、B5フレームのみ1stフィールド、2ndフィールドがフィールドピクチャとして符号化されており、残りはフレームピクチャであるとする。

【0024】60i画像のビットストリームを復号する場合、31に示すように、復号ブロック10はvsync1に同期して復号を開始し、1/30secで1フレーム分を復号する。復号時のメモリ2中Y成分領域への書き込みアドレス（ここでは、メモリマップ図3における行アドレスを上位ビット、列アドレスを下位ビットしたアドレスを意味する。）を縦軸とし、時間を横軸とした場合に、フレームメモリFM1～FM3における各MBの書き込み位置を示したものが、実線34～43である。例えば、11のフレームの復号時には、FM1に復号画像データは書き込まれる。このとき11フレームのピクチャ構造はフレーム構造であるため、1MBが復号されるごとに、Topフィールド、Bottomフィールド各々に1/2MB分のデータが書き込まれる。したがって、両フィールドへの書き込みは実線34、35の示すようにほぼ平行に復号画像の書き込みアドレスは推移していく。

【0025】その後のB2フレーム、B3フレームについても同様にフレームピクチャ構造であるため、Bフレーム専用の領域であるFM3において、それぞれ実線36、37の組、実線38、39の組に示すように復号画像の書き込みは推移する。P4フレームの復号については、最後に参照フレームとなるフレーム（この場合は11フレーム）が書き込まれたフレームと反対側の参照フレームメモリFM2に復号画像が書き込まれる。このとき実線40、41の組に示すように書き込みアドレスは推移する。

【0026】I、PフレームについてはBフレーム復号時に参照フレームとして読み込みできるように、FM1とFM2に交互に復号する。これにより、Bフレームの復号時には、常に最新の2参照フレームがFM1、FM2に存在し、両参照フレームの画像データをもとに動き補償が可能となる。

【0027】引き続き、B5フレームの復号時には、FM3に書き込まれるが、B5フレームは2つのフィールドピクチャから構成されているので、各々フィールドごとに復号処理が進む。従って、実線42、43のようにそれぞれ連続する1/60sec内に復号される。各1/60secのフィールドデコード処理の開始は、図4中30のvsync1に同期している。

【0028】次に、復号画像読みだし部12の動作について説明する。復号画像読みだし部12は、FM1～FM3に格納された復号画像をvsync1に同期した1/60secごとにフィールド単位で読み出していく。

このとき、図4の行32に示すように、復号されたフレーム順序を表示順序に並べ替え、各1stフィールド、2ndフィールドを交互に出力する。

【0029】図4中32のP01stはP0フレームの1stフィールド、P02ndはP0フレームの2ndフィールドを意味する。ここでは、復号画像フレームの読みだし順序は、P0、B2、B3、I1、B5となり復号順序と異なる。これは、Bフレームの復号時には、表示順序において該当Bフレーム以前で最新のIもしくはPフレームと、該当Bフレーム以降で該Bフレームに最近のIもしくはPフレームを参照画像とするため、後者のIもしくはPフレームを符号化時にBフレームよりも早く復号するためである。このため、例えば本ビットストリームの例では、I1はB2、B3の参照画像とするためにB2、B3に先立って符号化されていたものを、表示の際には、B2、B3の後に並べ替える必要がある。

【0030】フレームピクチャ構造をもつBフレームを各フィールドに分割して表示する際、復号期間に対して1フィールド期間すなわち1/60secの遅延を必要とする。もし、遅延が1/60sec未満の場合、例えばB2の復号時に実線36、37で書き込みが完了したアドレス空間を、破線44および45でフィールドにおいてラインごとに読みだしている際に破線44が実線36と交差し、すなわち復号が未完了の画像位置を復号済みの画像として表示することになり、出力画像が乱れることになる。また、1/60sec以上の遅延の場合、破線45と次のフレームの復号画像書き込み処理の実線39が交差し、すなわち復号画像の処理が未完了の位置に新たな復号画像を書き込むことになり、やはり出力画像が乱れることになる。

【0031】従って、復号画像の読みだし部12は、復号画像の並べ替え、およびBフレームにおける復号処理と復号画像読みだし処理の衝突を避けるために、復号処理の1/30sec単位のvsync1から1/60secだけずれた各vsync1において、前1/60sec期間中に復号されていたフレームメモリ（FM1～FM3）を復号ブロック10より受け、次の1/30sec中に表示すべきフレームメモリを決定する。すなわち、各1/60sec期間ごとに順番に番号をつけ、n番目の期間に復号されていたフレームメモリをFMnとした場合、FMn=FM1の場合（n+1）と（n+2）番目の期間にはFM2の内容を表示し、FMn=FM2の場合、（n+1）と（n+2）番目の期間にはFM1の内容を表示する。そして、FMn=FM3の場合、（n+1）と（n+2）番目の期間には、FM3の内容を表示する。

【0032】かかる並べ換えの手段により表示すべきフレームを決定し、1stフィールドと2ndフィールドを交互に表示（図4の例では、1stフィールドがto

pフィールド、2ndフィールドがbottomフィールドに対応)する場合の表示アドレス位置を点線44~51に示す。

【0033】図5は図4の円で囲ったB2フレームとB3フレームの復号が続くフレーム境界における様子を拡大した図である。図中36~39は復号画像の書き込み推移を表すが、復号時には、各MBごとに書き込みが行われるため、図3の水平120個のMB分を復号をしている最中は、各フィールドの8行ライン内で行アドレス、列アドレスとともに前後にアクセスすることになり、各8ラインの復号処理のアドレス推移を概略的に示すと微小な長方形状になる。このため、実線36~39中には垂直方向のMB数分だけの段数が生じることになる。一方、復号画像読みだし時のアドレスは均一に各ラインを一本ずつ読み出すため、アドレスの推移は連続増加となる。したがって、破線はほぼ一直線となる。

【0034】復号画像の書き込みタイミングと復号画像読みだしタイミングの間には1/60secの遅延が生じる説明で述べたとおり、正しい復号画像を出力するためには、復号画像書き込み曲線である実線36~39と、復号画像の読みだし曲線44~45は交差してはいけない。このため、復号画像の書き込み直線36と復号画像読みだし曲線44が最も接近する部分では、topフィールドの最後の120MB分の8ライン分が復号完了するまで、その8ライン分の復号画像読みだしは開始しないようになっている。

【0035】同様に、復号画像読みだし曲線45と復号画像の書き込み直線39とが最も接近する部分では、bottomフィールドの最初の8ライン分を表示完了するまでは、次のフレーム最初のMBの復号が開始されないようになっている。この条件を保証し、復号画像書き込み処理と復号画像読みだし処理が平均的に推移するように復号ブロック10および復号画像読みだし部12は処理を行うことで、復号と出力の両者の関係に破綻をきたすことなく動作可能である。

【0036】なお、1フィールド期間中、斜線で示すように、有効画素領域の通常上下部分には帰線期間が設けられる。この期間中は、復号画像読みだし処理がストップするため、復号画像書き込み処理および、復号読みだし処理は帰線期間以外の有効画素期間内で平均的な速度で行われるものとする。

【0037】以上のように60iのビットストリームを入力とし、復号処理した結果を、復号画像読みだし部12は60iのインタレース画像として各フィールドごとに平均的な画素レートでデータを読みだし、水平垂直画素数変換部13に出力する。なお、上記説明では、Y成分についてのみ説明したが、Cb、Cr成分についても同様の復号処理、復号読みだし処理を行うことで、Y、Cb、Crの各画素を同時に水平垂直画素数変換部13に出力することが可能である。

【0038】次に図6を用い60p画像のビットストリームを復号ブロック10で復号し、復号画像読みだし部12がメモリ2から復号画像を読み出す際の動作タイミングについて説明する。60p画像の復号時には、本実施形態では、60iで復号開始タイミングとして使用した垂直同期信号vsync1の代わりに、異なる位相をもつ60Hzの垂直同期信号vsync2に同期して各フレームの復号を開始する。vsync2も、vsync1と同様、図1におけるタイミング生成ユニット15が生成し、各ブロックに供給する。各フレームの復号は、このvsync2に同期して、1/60sec中に平均的に復号処理が進むように制御する。

【0039】本60pの復号例では、図6の61に示すように入力されたビットストリームの各フレームは、P、I、B、B、P、B、B、P、B、B、Pの順番で符号化されているものとし(最初のPフレームは図中の61に示されていない)、図1中の復号ブロック10は、60iのフレーム構造ピクチャの復号時と同様各フレームのMBを順番にデコードしていく。プログレッシブ画像では、Topフィールド、Bottomフィールドの区別はないが、メモリマップの管理上は60i時と同様にフレームを1ライン置きにTopフィールド領域、Bottomフィールド領域に分けて格納するものとする。従って、各フレームの復号画像の書き込みアドレスの曲線は、例えば、階段状の実線63、64のようにTopフィールド領域、Bottomフィールド領域にはほぼ平行に推移する。

【0040】図6の、61は復号ブロック10が復号中のフレーム、62は復号画像読みだし部12が読みだしているフレームを示す。各フレームの復号画像を格納するフレームメモリFM1~FM3の選択方法については60iの復号時と同様であり、I、P、Bのピクチャ種別より決定する。ただし、60iの場合、各vsync1のバースから1/60sec期間に復号されていたフレームメモリをFMnと考えたが、60pの場合には、vsync1およびvsync2の両方のバースの論理和をとったバースvsync3を考えて、各vsync3のバース間の期間に時間順に番号をつけ、n番目の期間に復号されていたフレームメモリをFMnと考える。このとき、FMn=FM1の場合(n+1)と(n+2)番目の期間にはFM2の内容を表示し、FMn=FM2の場合、(n+1)と(n+2)番目の期間にはFM1の内容を表示する。そして、FMn=FM3の場合、(n+1)と(n+2)番目の期間には、FM3の内容を表示する。この並べ換え判定を各vsync1=1のタイミングで行い、次の1/60sec期間に出力フレームをFM1~FM3の中から決定する。

【0041】次に、復号画像読みだし部12の動作について説明する。復号画像読みだし部12は、FM1~F

M3に格納された復号画像を図中30のvsync2に同期した1/60secごとにフレーム単位で読み出していく。このとき、図6の62に示すように、復号されたフレーム順序を表示順序に並べ替え、プログレッシブ画像フレームとして出力する。すなわち、FM1~FM3内のTopフィールド領域、Bottomフィールド領域の各ラインを交互に出力する。このため、復号画像読みだし曲線は、図6のFM1~FM3領域内に示した破線のようになる。

【0042】例えば、破線69、70は実線65、66で書き込まれたFM3内のB2画像をTopフィールド領域、Bottomフィールド領域から1ラインずつ交互に読み出す様子を示している。B2画像の復号後、実線67、68に示すように、B3画像が同じFM3領域に書き込まれる。このとき、B2フレームの復号画像書き込み開始、B2フレームの復号画像読みだし開始、そしてB3フレームの復号画像読みだし開始タイミングは、それぞれvsync1、vsync2、vsync1に同期しており、しかもそれぞれほぼ同期間(1/60secから帰線期間分を除いた期間)で1フレームの画面内をアドレスが均一に遷移するため、復号画像書き込み動作と、復号画像の読みだし動作でアドレスが衝突することはない。図6においては、vsync1、vsync2の位相は半周期異なるものであるが、位相差が半周期でなくとも上記の読み出し動作は可能である。このように、同フレームに連続したフレームの復号画像を書き込む場合が、もっとも復号画像の読みだし動作と接近する場合であり、他のFM1、FM2においても本動作タイミングによって正しい復号処理および読みだし処理が保証される。

【0043】上記60iおよび60pの復号動作の説明のように、復号画像の開始タイミングをそれぞれの場合でvsync1とvsync2の異なる位相の60Hzの信号に同期させ、さらに復号画像の読みだしについては60iおよび60p両方の場合において、vsync1に同期させることで、それぞれの復号動作を正しく行うことができる。上記の60p、60iの動作の切り替えの方法については、図1において端子16を介して、図中にあるコントローラが入力ビットストリームが60i、60pのどちらの画像を含むかを教示することにより、可変長復号回路102はデコード開始タイミングをvsync1とvsync2の二つから選択することが可能である。また、端子17を介して、図中にあるコントローラが入力ビットストリームの60p、60i種別および、画像サイズなどを復号画像読みだし部12に教示することにより、復号画像読みだし時の走査方式を切り替える。

【0044】次に、図7を用いて復号画像読みだし部12の復号画像アドレス出力までの回路を詳細に説明する。復号画像読みだし部12は、可変長復号部102か

ら各フレームもしくはフィールド単位のデコード情報を受ける(以下デコード情報と記す)。この情報をvsync1とvsync2より生成したvsync3を取り込みタイミングとしてデコード情報遅延回路120に格納する。このデコード情報には、各復号画像の書き込みフレーム(FMdec)、topフィールドがフレーム中1stフィールド期間に出力されるべきかどうかのフラグ(TopFieldst)が含まれる。

【0045】MPEG2規格では、TopField1stと呼ばれるフラグが各フレーム構造のピクチャヘッダ情報に書き込まれており、フレームピクチャの場合は、このフラグがそのままTopFieldstフラグに対応する。(1stフィールドにTopフィールドを出力する場合はTopFieldst=1)一方、フィールドピクチャの場合には、1stフィールド期間にTopフィールドピクチャが復号される場合、もしくは、2ndフィールド期間にBottomフィールドピクチャが復号される場合、TopFieldst=1となり、1st期間にBottomフィールドピクチャが復号される場合、もしくは2ndフィールド期間にTopフィールドピクチャが復号される場合には、TopFieldst=0となるように加工されている。

【0046】120に取り込まれるデコード情報のうち、デコードフレームメモリに関する情報FMdecは、フレーム情報遅延回路1200に記憶されvsync3の1期間分遅延され、回路121に出力される。一方、各フレームのTopFieldst信号は、FMデータ格納レジスタ1201内に格納される。このとき、FMdecによって該当するフレームメモリの格納場所に入力される。

【0047】これらのデータを取り込むタイミングvsync3は、60i画像の復号の場合にはvsync1であり、60p画像の復号の場合、vsync1とvsync2の論理和になるよう、回路122で選択される。

【0048】回路121では、復号画像を読み出すべきフレーム(FMread)と、インタレースの場合には、表示すべきフィールドがtopフィールドかbottomフィールドの情報を決定し、アドレス発生回路124に送る。FMreadの決定方法は、各vsync3のバース間の期間に時間順に番号をつけ、n番目の期間に復号されていたフレームメモリをFMnと考えるとき、FMn=FM1の場合(n+1)番目の期間にはFM2の内容を表示し、FMn=FM2の場合、(n+1)番目の期間にはFM1の内容を表示する。そして、FMn=FM3の場合、(n+1)番目の期間には、FM3の内容を表示する。

【0049】この並べ換え判定を各vsync1=1のタイミングで行い、次の1/60sec期間に出力フレームをFM1~FM3の中から決定する。この決定法則

は60i画像、60p画像で共通である。また、インタレース画像の場合には、回路121内では、現在のフレームのフィールド期間をvsync1ごと1stフィールド、2ndフィールドと交互にトグル動作しており、決定したFMradに対応するTopFields情報を1201から入力する。そして現在のフィールド期間に対応するフィールドがTopフィールドかBottomフィールドかを決定する(top/btm情報)。

【0050】回路123はラインカウンタであり、vsync1によってリセットされ、帰線期間を含めて現在の走査位置をアドレス発生部に知らせる。走査スピードについては、外部端子17より与えられた60p、60i種別情報および画像サイズ情報をもとに変更される。この走査位置情報と、回路121から与えられたFMrad情報および、top/btm情報よりアドレス発生回路124は、読み出すべき復号画像のアドレスを算出し、メモリコントローラ11に出力する。アドレス発生回路124にも、外部端子17からの60p、60i種別情報が与えられており、60iの場合には、回路121から送られたtopもしくはbtmいずれかのフィールド内でラインカウンタ123からのライン位置に対してアドレスを計算する。一方、60pの場合には、回路121から送られたtop/btm情報ではなく、ラインカウンタの最下位ビットをtop/btm情報として用い、この情報で示されたいずれかのフィールド内で、ラインカウンタの値を1/2した位置に対してアドレス計算する。一般に復号画像読みだし部12内では、回路120~123の部分は回路規模が大きい、本実施形態では、60p、60iの両方の復号動作時に一部の小規模な信号切替回路を除いて共通に用いることができ、回路削減の点で有利である。

【0051】図1に示すように、復号画像読みだし部12から出力された復号画像は、水平垂直画素数変換部13にて解像度変換される。水平垂直画素数変換部13では、復号画像の各成分Y、Cb、Cr成分はそれぞれ図8に示すようなデータフローで画素数変換が行われる。まず水平方向解像度変換部130でフィルタ処理、水平方向のアップサンプリング/ダウンサンプリングが施され、水平方向の画素数変換が行われる。

【0052】図9(a)に水平解像度変換部130の動作原理を示し、以下説明する。解像度変換比率がNh/Mh倍の場合(ただし、Nh、Mhは正の整数とする)、まず133の黒丸で示した入力画像をNh倍にアップサンプリングする。これは、各入力画素間に、(Nh-1)個ずつ0の値を持つ画素(134内の白丸)を挿入することに等価である。図9(a)の134ではNh=2倍のアップサンプリングに相当する。次に、アップサンプリング後の各画素に対して、近傍の数点に係数を乗じ全て加算することである帯域の高周波成分を除去

するローパスフィルタ(LPF)を施す。例えば、タップ数(係数を乗じる画素数)=5のフィルタをa点に対して施す際、係数を乗じて加算する範囲を134、135間の破線に示す。この処理により、アップサンプリング、ダウンサンプリングによって生じるイメージング成分/エリアジング成分を取り除き変換後の歪を低減する。LPF135の出力は、次に1/Mhにダウンサンプリングされる。これは、136に示すようにMh画素中にひとつずつ画素が残るよう間引きを行うことと等価である。

【0053】図9(a)136の場合、Mh=3に相当する。結果として、解像度比率がNh/Mh=2/3倍の解像度を変換した画素群が得られる。以上の処理で、Nh>Mhの場合には拡大処理、Nh<Mhの場合には縮小処理の水平方向解像度変換が可能となる。実際に水平解像度変換部130での処理は、136示すアップサンプリング/ダウンサンプリング後に残る画像に対してのみ必要なフィルタ処理を行う。また、アップサンプリング時に挿入された0値の画素位置に対しては、係数乗算を省略する。したがって、図9(b)の133、136間の斜線に示すように、最終的な画素位置の近傍においてフィルタタップ数の範囲に入る変換前の画素位置についてのみ係数乗算および加算を行い、アップサンプリング/ダウンサンプリングの処理はフィルタ処理時の係数乗算を行う画素を各画素ごとに適宜選択することによって実現される。

【0054】上記Nh/Mh倍の値は、(入力復号画像の水平解像度)/(出力ディスプレイの水平解像度)に相当する。従って、本実施形態の回路では外部端子18を介して水平画素数変換部における、Nh、Mhの値を自由に設定できるようにし、任意の入力復号画像、および出力ディスプレイの組み合わせに適応可能である。また、Mh、Nhの値のうちの最大値をLh(=max(Mh, Nh))とすると、エリアジングあるいはイメージング成分による画素歪を除去するためには、一般的にはLhが大きいときほど広帯域の高周波成分を除去する必要が生じる。一方、高周波成分を除去すると画像のシャープネスが失われるため、Nh、Mhの比率に応じてフィルタ係数を適切に選択することが望ましい。したがって、Mh、Nhの設定値に応じて水平方向のフィルタ係数を端子18を介して外部から設定できるようにする。これにより、各入力画像、出力ディスプレイの組み合わせにおいて適切な画質を得ることができる。

【0055】水平方向の画素数変換された各ライン分の画素データは図8内に示すラインメモリ131内に複数存在するラインバッファのうち一本に格納されている。ラインメモリ131内には次の垂直方向の画素数変換時に必要な本数のラインバッファが用意されており(T本とする)、水平解像度変換部130からの出力が格納されるラインバッファは、T本中から巡回的に選択

される。

【0056】Tライン内の水平位置が同じの画素データは同時に垂直方向解像度変換部131によって読み出され、垂直方向のローパスフィルタ処理、垂直方向のアップサンプリング/ダウンサンプリングが施され、垂直方向の画素数変換が行われる。アップサンプリング/ダウンサンプリングおよびフィルタリングによって解像度変換が行われる原理については、水平方向の解像度変換を垂直方向にしたものと同様である。

【0057】ただし、topフィールドとbottomフィールドでフィルタ処理が異なる場合は、個々のフィールドごとに設定したフィルタ係数値を用いる。例えば、60iの入力画像に対して、60i対応の外部ディスプレイに出力する場合には、各フィールド内の画像データから出力フィールドの画像を生成するが、topフィールド、bottomフィールドで垂直方向に1ラインのサンプリング位置のずれがあるため、両フィールドの変換時では変換前後で対応する画素同士の垂直位置関係が異なる。したがって、本実施形態ではtopフィールド時、bottomフィールド時で各々変換前後の画素位置関係に適したフィルタ係数設定、それらを交互に切り替えてフィルタ処理する。同様に60iの入力画像を変換して、60p出力する場合には、各フィールド内の画素データからフレーム画像を生成するため、各入力フィールド時で変換前後の画素関係が異なる。このときもフィルタ係数を各入力フィールドごとに切り替える。また、60pの入力画像を変換して、60i出力する際にも入力フレームから出力時のtopフィールド、bottomフィールドを生成するため、両フィールドへの変換は変換前後の画素関係が異なる。このときも、各出力フィールドごとに使用するフィルタ係数を変更する。60pの入力画像を変換して60pの出力画像を得る場合は、フレーム画像からフレーム画像への変換であるため、全てのフレームでの変換前後の画素の位置関係は同じである。この変換時には常に同じフィルタ係数を用いる。

【0058】水平方向解像度変換部130と同様に、垂直方向解像度変換部132の変換率を $N_v/M_v$ 倍( $N_v$ 、 $M_v$ は正の整数)とすると、垂直方向解像度変換部132のアップサンプリングレート= $N_v$ 倍、ダウンサンプリングレート= $M_v$ 倍となる。外部端子18を介してこの両パラメータ $N_v$ 、 $M_v$ の値を自由に設定できるようにすることで、任意の入力復号画像、および出力ディスプレイの組み合わせに適応可能になっている。 $N_v$ 、 $M_v$ の比率に応じてフィルタ係数を選択できるようにし、 $M_h$ 、 $N_h$ の設定値に応じて垂直方向のフィルタ係数を端子18を介して外部から設定する。また、TopフィールドとBottomフィールドについて別々のフィルタ係数を記憶する。

【0059】以上のように、水平垂直画素数変換部13

で復号画像は出力ディスプレイの解像度に適合するように変換され、図1の表示ユニット14に出力される。表示ユニット14では、外部端子19より外部に接続されているディスプレイの同期信号フォーマット、画素周波数等を指示され、解像度変換後の画像を外部のディスプレイが同期可能な同期信号とともに出力する。

【0060】上記構成を持つ符号化デジタルビデオ復号装置により、図17の各解像度における下線を付したフォーマット(フレームレートおよび走査方式)を持つ入力ビットストリームを60pもしくは60iのディスプレイに出力することが可能となる。

【0061】次に、本発明による第2の実施形態を図10を用いて説明する。本実施形態では第1の実施形態と同様図17の18フォーマットのうち、下線を付したフォーマットを復号可能なMPEG2ビデオ復号出力装置とする。また、接続されるディスプレイは60iもしくは60pフォーマットを入力とするディスプレイであるとする。本発明の第1の実施形態では、入力ビットストリームが60pもしくは60iのいずれのタイプかを外部のコントローラより指示したが、本発明第2の実施形態では、入力ビットストリーム内の情報よりデコーダ部1が判定し、復号動作が同期するvsync1とvsync2の信号を切り替える。また、現在の復号画像フォーマットを復号画像読みだし部12に指示し、復号画像読みだし部12は表示フォーマットの切り替わりタイミングを算出する。本実施形態の構成および機能は、第1の実施形態と大部分で共通であるため、以下、第1の実施形態と異なる部分について説明する。

【0062】MPEG2ビデオの規格では、複数のフレームの集合であるシーケンスごとに、フレームレート、画像の走査方式およびフレームサイズ等の情報を含んだヘッダ部が存在する。本発明第2の実施形態では、可変長復号部102では初期状態では、vsync1に同期して、復号バッファメモリ101にリード要求リクエストを出し、データを読みだす。そして、復号画像の各フレーム情報もしくはフィールド情報を解析開始しようとするが、上記シーケンスのヘッダ情報部(以下Seq情報と記す)がそれに先立って存在する場合は、まずこのSeq情報を解析する。本実施形態では、このSeq情報内に示された60p、60i情報に基づいて復号処理の開始タイミングが同期する同期信号をvsync1とvsync2で切り替える手段を可変長復号回路102内に備える。

【0063】可変長復号部でSeq情報が解析された場合、かかる情報は復号画像読みだし部12に送られる。Seq情報が以前と変わらない場合には、現在の復号タイミングが同期している同期信号vsync1またはvsync2において、このSeq情報を復号画像読みだし部12に渡すが、Seq情報が以前と切り替わった場合、復号処理の開始タイミングが切り替えられたあと

に、復号画像読みだし部12に出力される。

【0064】図11に示すように復号画像読みだし部12では、このSeq情報内の復号画像フォーマット60p、60iによって復号画像の並べ替えのためのvsync3を回路122によって選択するが、Seq情報の切り替わりがvsync3に反映されるまで、回路125によって一定遅延を設ける。すなわち、復号画像のフレーム順序の入れ替え作業の動作タイミングが変更されるまで、回路125分の遅延が生じる。

【0065】vsync3にSeq情報の切り替わりが反映された後、実際の表示中のフレームもしくはフィールドのライン走査スピードおよびアドレス発生回路における走査方式が変更されるまでには、さらに変更後のvsync3の1期間分の遅延が回路126によって付加される。以上のタイミング遅延回路125、および126により、復号回路10側で復号するシーケンスが切り替えられた場合、新しい画像フォーマットのシーケンスが復号が始まって、その復号画像を正しく表示できるタイミングが来るまで、古いシーケンスの内容を表示することができる。

【0066】また、シーケンスが切替前のSeq情報と、切替後のSeq情報'を表示Fr/Fi選択回路121に入力する。もし、Seq情報とSeq情報'が異なる場合、Fr/Fi選択回路121は復号画像の復号処理が新しいシーケンスを復号中で復号画像読みだし部12が古いシーケンスの内容を表示する間とみなすことができる。この場合、デコード情報遅延回路120からの情報に加えて、後述の例外処理により復号画像読みだしフレーム（もしくはフィールド）を決定する。タイミング遅延回路126によって得られた、復号画像読みだしフォーマットが切り替わるタイミングは、水平垂直画素数変換回路13に転送される。

【0067】次に、本実施形態における水平垂直画素数変換回路13について述べる。水平垂直画素数変換回路13では、水平方向解像度変換部130におけるフィルタ係数設定および、解像度変換比率に関する設定を1300と1301の直列の2段もっており、外部端子18から与えられた設定値は1301に保持され、上記復号画像読みだし部12から与えられた切替タイミングにおいて設定値1300に転送される。同様に、垂直方向解像度変換部132においても、1320と1321の設定値をもって、これも復号画像読みだし部12からの切替タイミングによって値の転送が制御される。これにより、切替タイミングに先立ってあらかじめ設定した切替後のフィルタ設定値等を、vsync1=1であるフレームもしくはフィールドの切替タイミングにおいて一度に変更することが可能となる。

【0068】以下、入力ビットストリームが60iから60pに変更される場合について図13を用いて説明する。vsync1に同期して、Seq情報を解析した結

果、Seq情報内のフレームレート情報および走査方式に関する情報が60i画像を示す場合、図13の復号処理を示した行の400より左側部分のように、vsync1に同期して各フレームの復号を続ける。そして、Seq情報が60p画像を示す場合、図13の400に示すように、一度、復号処理を中断し、次のvsync2信号が1になるまで待機する。この後、図13の400より右側の復号処理に示すように、vsync2信号が1になった時点でフレームデータ復号を続行する。その後、60iのSeq情報が到来するまでは、vsync2に同期して各フレームを復号する。

【0069】復号ブロック10より切替後のSeq情報は、タイミング401において復号画像読みだし部12内のタイミング遅延回路125（図11）に送られる。この回路125により、Seq情報はvsync1とvsync3の論理和の同期期間で2期間分遅延させられ、タイミング402でvsync3はvsync1からvsync2に図11の回路122によって切り替えられる。タイミング401から403の間の期間中、図11のSeq情報とSeq情報'は異なるため、回路121はFM1もしくはFM2のうち最終復号されたフレームを表示するよう通常動作と異なる例外的なフレーム選択を行う。これは、図13の401～403間は既に60pの復号処理が始まっており、vsync1に同期した60iのフレーム決定タイミングと異なるためである。本実施形態では、60i復号時の最終フレームを繰り返し表示する。タイミング403以降は、通常の60pの復号画像フレーム順序入れ替え作業および出力が行われ、切替後の60pSeq情報に従った画像サイズに適切な走査スピードおよび走査方式で復号画像を読み出す。また、タイミング403は、水平垂直画素数変換部13に転送され、これ以降、切替後60pに適切なフィルタ係数および解像度変換比率を用いて画面が出力される。

【0070】次に、入力ビットストリームが60pから60iに変更される場合のそれぞれについて図14を用いて説明する。vsync2に同期して、Seq情報を解析した結果、Seq情報のフレームレートおよび走査方式に関する情報が60p画像を示す場合、図14の復号処理を示した行の410より左側部分のように、vsync2に同期して各フレームの復号を行う。そして、Seq情報が60i画像を示す場合、図14の410に示すように、一度復号処理を中断し、次にvsync1信号が1になるまで待機する。この後、図14の411に示すタイミングよりvsync1に同期してフレームデータ復号を続行する。その後60pの情報が到来するまでは、vsync1に同期して各フレーム構造ピクチャもしくはフィールド構造ピクチャを復号する。

【0071】復号ブロック10より切替後のSeq情報は、タイミング411において復号画像読みだし部12

内のタイミング遅延回路125(図11)に送られる。の回路125により、Seq情報はvsync1で2期間分遅延させられ、タイミング412でvsync3はvsync2からvsync1に図11の回路122によって切り替えられる。図14のタイミング411から413の期間中、図11のSeq情報とSeq情報は異なるため、回路121はFM1もしくはFM2のうち最終復号されたフレームを表示するよう通常動作と異なる例外的なフレーム選択を行う。60pから60iへ復号処理が切り替わるとき60iの復号が開始されてから、60iの復号画像が表示されるまで、414~416のように60p画像で3フレーム間の遅延が生じる。したがって、上記例外的フレーム選択処理によって最新のフレームが繰り返し表示される。

【0072】タイミング412以降は、通常の60iの復号画像フレーム順序入れ替え作業および出力が行われ、タイミング413以降は、切替後の60iSeq情報に従い、画像サイズに適切な走査スピードおよび走査方式で復号画像を読み出す。また、タイミング413は、図10の水平垂直画素数変換部13に転送され、これ以降、切替後60iに適切なフィルタ係数および解像度変換比率を用いて画面が出力される。

【0073】以上のように、本発明第2の実施形態では、60p、60iと入力ストリームの画像フォーマットが切り替わっても、復号処理、復号処理の読みだし期間のずれの間も切替前の画素フォーマットで表示することが可能である。また、復号画像読みだし部12および、水平垂直画素数変換部13において設定値を切替タイミングで瞬時に切り替えることができ、ビットストリーム間のつなぎ目で画像が途切れることなく復号画像を出力可能となる。また水平垂直画素数変換部13から出力ユニット14に出力している画像フォーマットは、切替タイミング前後で変化がないため、ディスプレイに出力している同期信号も乱れることはない。

【0074】なお、本実施形態では、復号画像の画像フォーマットが切り替わったとき、切替前の復号画像を表示する際、FM1もしくはFM2のうち最新の復号フレームを出力するような例外処理を、図11の回路121で行うと述べたが、これをFM3を含めて最後に表示したフレームを表示したり、あるいは、FM1、FM2、FM3のいずれのフレームにもアクセスせずblank画面を表示するように変更することも容易であり、この場合でも、出力画面の同期がビットストリーム同期時に乱れないという本発明の効果が変わらないことは明らかである。

【0075】

【発明の効果】以上述べた様に、本発明により、プログレッシブ画像、インタレース画像の両方式のビットストリームを入力として、接続されているディスプレイに適合する画像を復号し出力する符号化ビデオ復号装置を安

価に提供することが可能である。特に、インタレース画像時の倍のフレームレートを持つプログレッシブ画像をインタレース画像用の復号回路と回路を共通化する際に有利である。さらに、プログレッシブ画像のシーケンスとインタレース画像のシーケンスが連続して入力されたときに、ビットストリームの切替タイミングにおいて、復号画像を同期の乱れなく出力することができる。特に、本符号化ビデオ復号装置の出力に、OSD(On Screen Display)などで外部で生成された画像を合成している場合、特に切替時の出力同期が乱れると合成画像の必要な情報が見られなくなるため、本発明の効果は特に重要になる。

【図面の簡単な説明】

【図1】本発明の符号化画像情報処理装置の第1の実施形態を示すブロック図である。

【図2】図1におけるメモリ2内のメモリ領域を解説する図である。

【図3】図1におけるメモリ2内のフレームメモリ領域のメモリマップ図である。

【図4】本発明第1の実施形態における60i復号時の動作タイミングを解説する図である。

【図5】本発明第1の実施形態における60i復号時のメモリアクセスを拡大した図である。

【図6】本発明第1の実施形態における60p復号時の動作タイミングを解説する図である。

【図7】図1における復号画像読みだし部12の詳細を示すブロック図である。

【図8】図1における水平垂直画素数変換部13の詳細を示すブロック図である。

【図9】図1における水平垂直画素数変換部13の解像度変換処理を解説する図である。

【図10】本発明の符号化画像情報処理装置の第2の実施形態を示すブロック図である。

【図11】図10における復号画像読みだし部12の詳細を示すブロック図である。

【図12】図10における水平垂直画素数変換部13の詳細を示すブロック図である。

【図13】本発明第2の実施形態において60iから60pに復号処理が切替る際の動作を解説する図である。

【図14】本発明第2の実施形態において60pから60iに復号処理が切替る際の動作を解説する図である。

【図15】従来のデジタルTV放送の規格を示したフォーマット表である。

【図16】従来の符号化ビデオ復号装置の一例を示したブロック図である。

【図17】従来の符号化ビデオ復号装置における60i、60p画像の復号処理を出力ディスプレイ別に示した図である。

【符号の説明】

1…デコーダ、2…メモリ、10…復号ブロック、11

…メモリコントローラ、12…復号画像読みだし部、13…水平垂直画素数変換部、14…出力ユニット、15\*

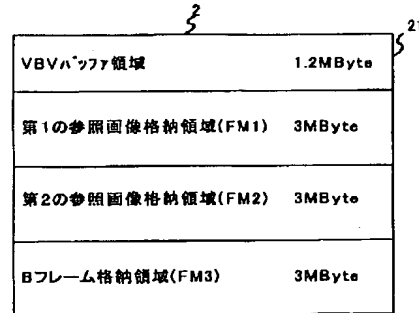
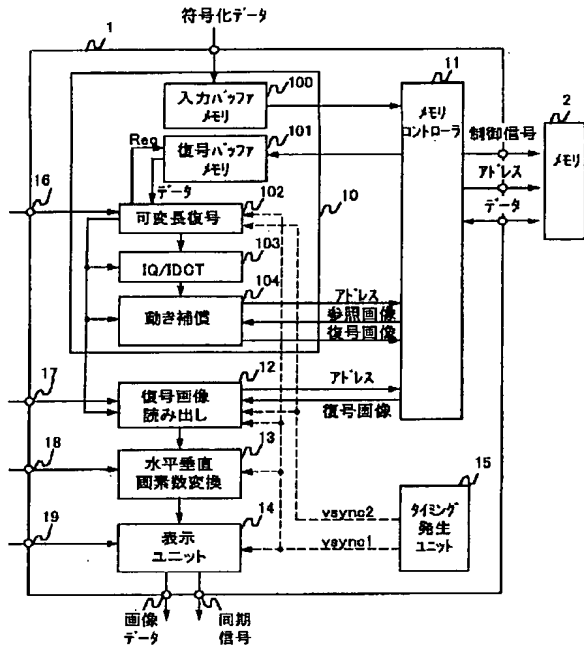
\*…タイミング発生ユニット、16～19…外部端子

【図1】

【図2】

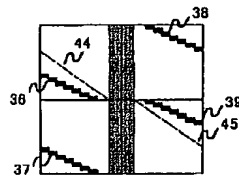
図1

図2



【図5】

図5

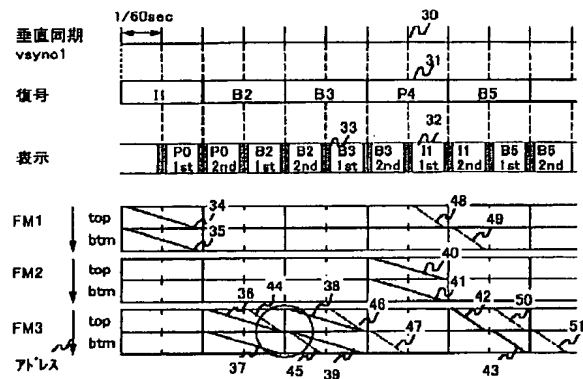
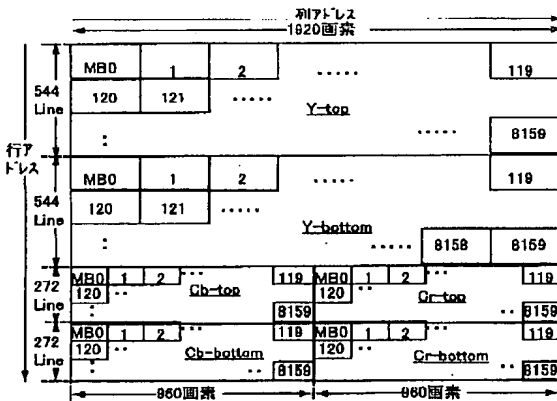


【図3】

【図4】

図3

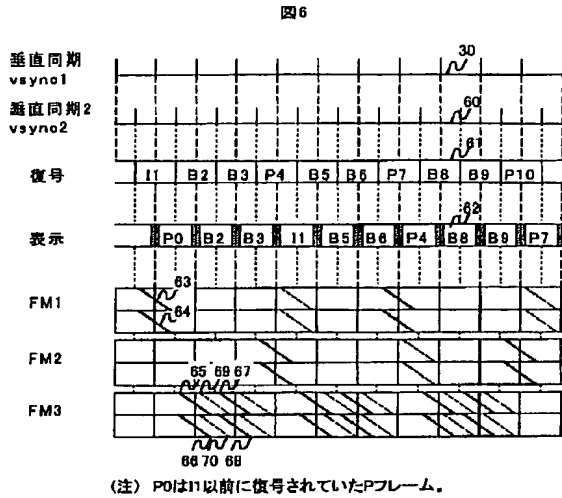
図4



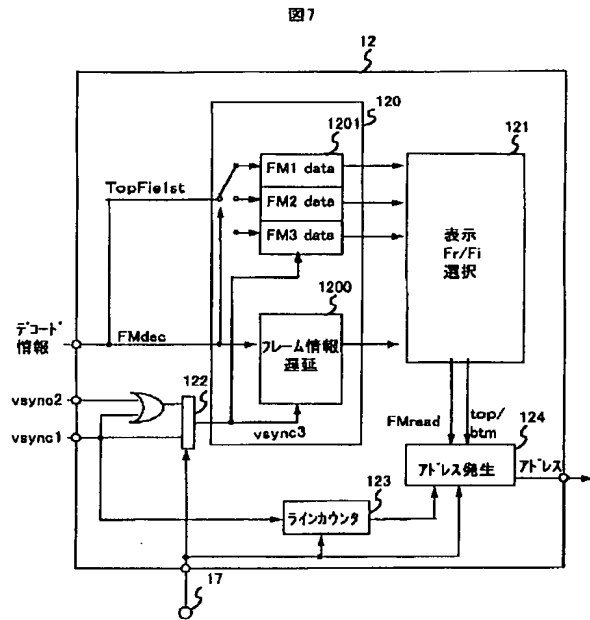
(注) P0は11以前に復号されていたPフレーム。



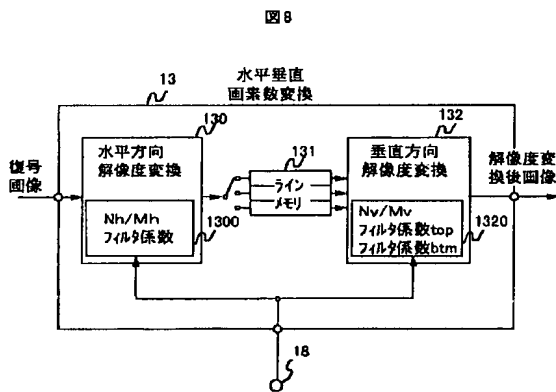
【図6】



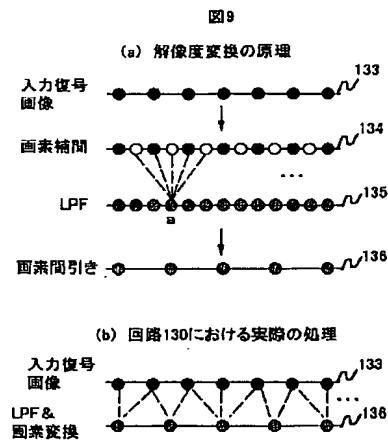
【図7】



【図8】

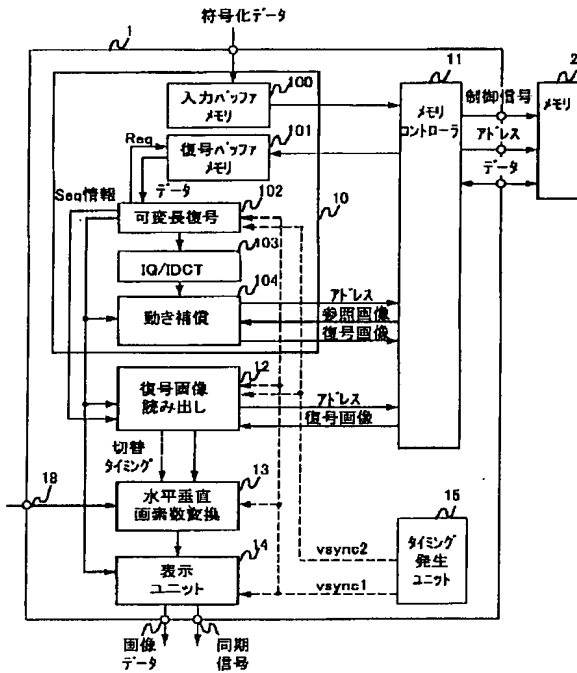


【図9】



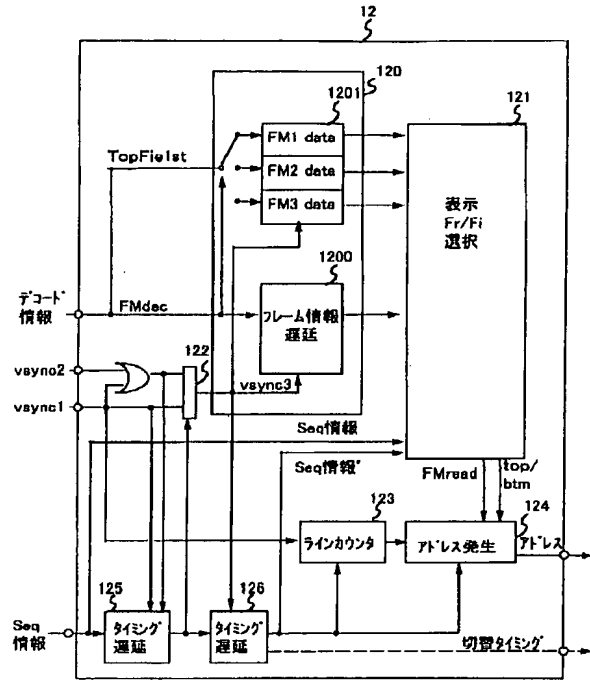
【図10】

図10



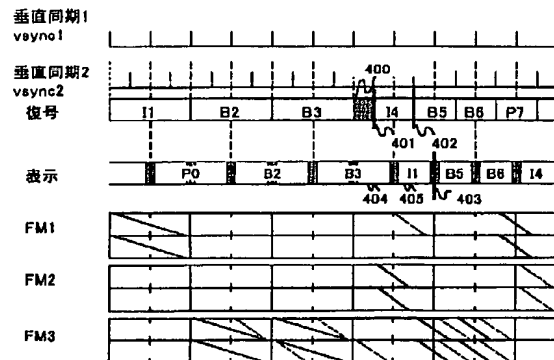
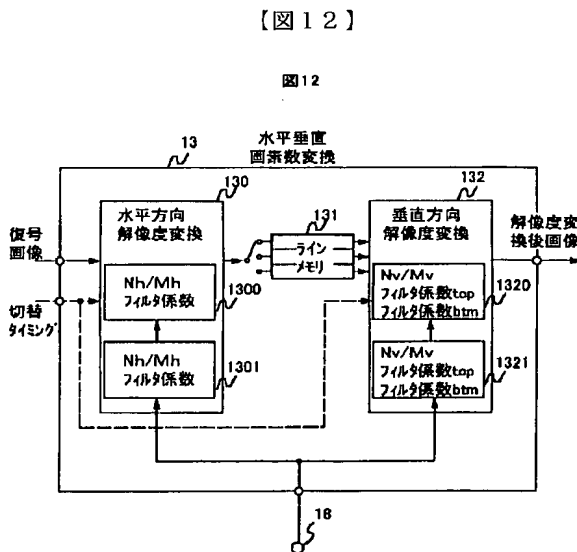
【図11】

図11



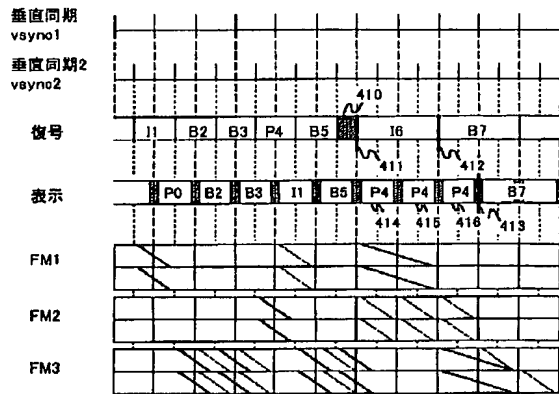
【図13】

図13



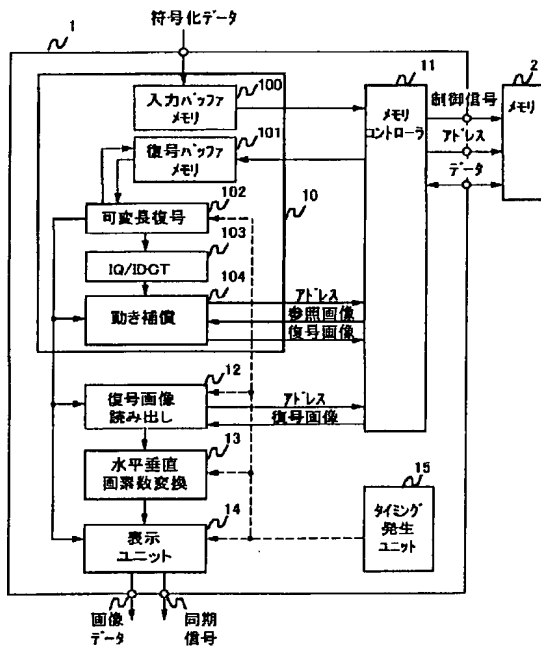
【図14】

図14



【図16】

図16



【図15】

図15

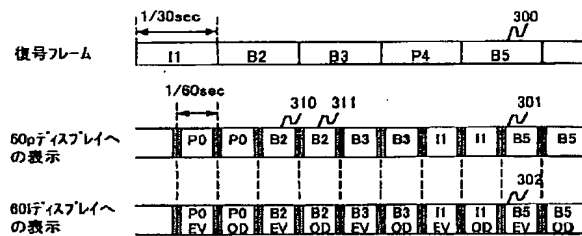
Frame Size (HxV)	Frame Rate	Aspect Ratio
1920x1080(注)	60i, 30p, 24p	16:9
1280x720	60p, 60i, 30p, 24p	16:9
720x480	60p, 60i, 30p, 24p	16:9/4:3
840x480	60p, 60i, 30p, 24p	4:3

(注) MPEG2規格では16画素単位の復号処理を行うため、実際には垂直1088画素分の符号化画像が送られ、そのうち1080画素だけ出力する。

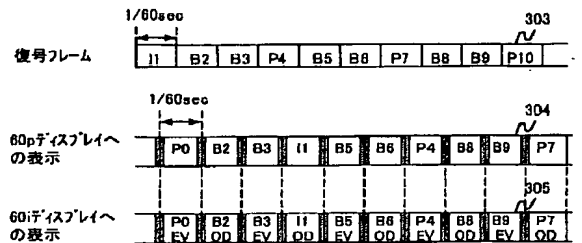
【図17】

図17

(a) 60i の復号処理



(b) 60p の復号処理



(注) P0はI1以前に復号されていたPフレーム。

フロントページの続き

(72)発明者 岡田 敏男  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立画像情報システム内

(72)発明者 坪井 幸利  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

F ターム(参考) 5C059 KK07 MA00 MA05 ME01 NN21  
PP05 PP06 PP07 SS01 UA05  
UA32 UA34 UA36 UA37  
5C063 AA06 AA11 AB03 AB07 AC01  
BA04 BA06 BA10 CA05 CA12  
CA14 CA16